



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **02122672 A**

(43) Date of publication of application: 10 . 05 . 90

(51) Int. Cl

H01L 29/784(21) Application number: **63276547**

(22) Date of filing: 01 . 11 . 88

(71) Applicant: **FUJI ELECTRIC CO LTD**(72) Inventor: **TADA HAJIME
TSUCHIYA KAZUHIRO**(54) **SEMICONDUCTOR DEVICE**

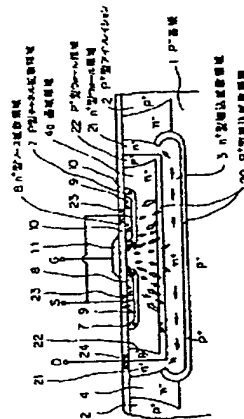
(57) Abstract:

PURPOSE: To reduce ON resistance by arranging a DMOS structure in a region defined by a buried region and a wall region while arranging a minority carrier injecting region at the inside of the buried region and the wall region.

CONSTITUTION: Upon application of positive potential onto a gate G with the drain D and the source S being held respectively at high and low potential sides, an n-channel is formed at a portion immediately below the polysilicon gate 11 in a p-type channel diffused region 7 and electrons flow from the n⁺ diffused source area 8 to an n⁻ defined area 4a through its n-channel. Consequently, the potential at the defined area 4a drops to provide forward bias of p⁺-n⁻ junction between p⁺ buried diffusion area 20 and the n⁻ defined area 4a. As a result, holes are injected from the p-type buried diffusion area 20 to the defined area 4a (holes flow as shown by arrows) and the conductivity at the defined area 4a is modulated thus lowering its resistance considerably. Then an n⁻ epitaxial layer 4 is grown on the buried diffusion areas 3, 20, thereafter an n⁺ wall area 21 and a minority carrier injection area, i.e., a p⁺ wall area 22, are formed therein while being

diffused so deep as they are connected with the p⁺ buried diffusion area 20 and the n⁺ buried diffusion area 3.

COPYRIGHT: (C)1990,JPO&Japio



⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平2-122672

⑬ Int. Cl.

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)5月10日

H 01 L 29/784

8422-5F
8422-5F

H 01 L 29/78

3 0 1 J
3 2 1 J

審査請求 未請求 請求項の数 1 (全4頁)

⑮ 発明の名称 半導体装置

⑯ 特 願 昭63-276547

⑰ 出 願 昭63(1988)11月1日

⑱ 発 明 者 多 田 元 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内
 ⑱ 発 明 者 土 屋 和 広 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内
 ⑲ 出 願 人 富士電機株式会社 神奈川県川崎市川崎区田辺新田1番1号
 ⑳ 代 理 人 弁理士 山 口 巖

明 細 書

1. 発明の名称 半導体装置

2. 特許請求の範囲

1) 第1導電型の領域上に選択的に形成された不純物高濃度で第2導電型の埋込領域と、この上に成長された不純物低濃度で第2導電型のエピタキシャル層内において該埋込領域に接続する不純物高濃度で第2導電型のウォール領域と、該埋込領域及び該ウォール領域で画成された領域に作り込まれたDMOS構造とを含む半導体装置であって、該DMOS構造を包囲して該埋込領域及び該ウォール領域の内側に形成された第1導電型の小数キャリア注入用領域を有することを特徴とする半導体装置。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、半導体装置に関し、特に半導体集積回路内の二重拡散型で縦型のMOSFETに関する。

(従来の技術)

従来、自発光型ディスプレイ駆動用ICなどのいわゆる高耐圧ICの出力段に適用されるデバイスとして、チャネル長を短くした二重拡散型MOSFET(double-diffused MOS: DMOS)でゲート直下で電流を縦方向に流す構造の縦型DMOSFETが知られている。

第3図は従来の縦型DMOSFETを有する半導体集積回路の一例を示す縦断面図である。1はp⁺型基板、2はp⁺型アイソレーションで、p⁺基板1にはn⁺型埋込拡散領域3が形成され、その上にはn⁺型エピタキシャル層4が成長形成されている。5はn⁺型埋込拡散領域3に接触する深いn⁺型ドレインウォール領域で、底部のn⁺型埋込拡散領域3と側部のドレインウォール領域5で画成されたエピタキシャル層4の画成領域4aには二重拡散構造(DMOS)のp型チャネル拡散領域7とn⁺型ソース拡散領域8が形成されている。9はp⁺型チャネルコンタクト領域で、10は絶縁膜、11はポリシリコンゲートである。

このような構成の縦型DMOSFETは、ソー

スSを接地し、ドレインDに高電圧を印加してゲートGに電圧を与えると、p型チャネル拡散領域7のゲート11直下の部分(Nチャネル)が導通し、多数キャリアの電子が矢印で示す如く、n⁺型ソース拡散領域8からn⁺型エピタキシャル層4の面成領域4a、n⁺型埋込拡散領域3へと縦方向に流れ、そのn⁺型埋込拡散領域3からn⁺型ドレインウォール領域5を介してドレインDへ流れ込むものである。

(発明が解決しようとする課題)

しかしながら、上記従来の構造を有する縦型DMOSFETにあっては次の問題点がある。

即ち、オン抵抗を小さくすると高速動作が可能であるが、オン抵抗を小さくするためにゲート面積、ソース長を大とすると、デバイス占有面積が大となり、高密度集積化が困難となる。一方、オン抵抗を小さくするためにn⁺型エピタキシャル層4の面成領域4aの不純物濃度を高くすると、こんどは耐圧の低下を招く。

本発明は、上記問題点を解決するものであり、

領域の電位を上昇又は下降させるが、埋込領域とウォール領域の内側に形成された第1導電型の少数キャリア注入用領域と上記第2導電型の面成領域とのpn接合が順バイアスされるため、少数キャリアが上記第2導電型の領域に容易に注入され、伝導度変調状態となり、デバイス全体のオン抵抗を占める上記第2導電型の面成領域のオン抵抗が相当低くなるので、結果的に従来に比してオン抵抗が大幅に低下する。

(実施例)

次に、本発明の実施例を添付図面に基づいて説明する。

第1図は、本発明の第1実施例に係る縦型DMOSFETを示す縦断面図である。なお、第1図において第3図に示す部分と同一部分には同一参照符号を付してある。

まず、p⁺型基板1を準備し、この上にn⁺型埋込拡散領域3と少数キャリア注入用領域としてのp⁺型埋込拡散領域20を選択的に形成する。この場合、n⁺型の不純物としてはアンチモンを用い、

その目的は、高耐圧且つ高速でデバイス占有面積が小である縦型DMOSFETを有する半導体装置を提供することにある。

(課題を解決するための手段)

上記目的を達成するため、本発明に係る半導体装置の構成は、第1導電型の埋込領域と、この上に成長された不純物低濃度で第2導電型のエピタキシャル層内においてその埋込領域に接続する不純物低濃度で第2導電型のウォール領域と、埋込領域及びウォール領域で面成された領域に作り込まれたDMOS構造とを含み、そのDMOS構造を包囲して埋込領域及びウォール領域の内側に形成された第1導電型の少数キャリア注入用領域を有するものである。

(作用)

かかる構成によれば、ウォール領域と少数キャリア注入用領域を同電位に保ち、ゲートに電圧を加えると、DMOS構造のチャネルを介して埋込領域とウォール領域とで面成された第2導電型の面成領域に多数キャリアが流れ込み、その面成領域

p⁺型の不純物としてはボロンを用いて、同一領域に埋込拡散を行うが、拡散係数の違い(ボロンの拡散係数>アンチモンの拡散係数)によって、ボロンのp⁺領域がアンチモンのn⁺領域を取り囲む状態となる。また、不純物量はアンチモンの方を多くして埋込領域中心部がn⁺領域となるようにする。

次に、埋込拡散領域3、20の上にn⁺型エピタキシャル層4を成長させた後、その中にn⁺型ウォール領域21と少数キャリア注入用領域としてのp⁺型ウォール領域22をn⁺型埋込拡散領域3とp⁺型埋込拡散領域20に接続する程度まで深く拡散して形成する。かかる状態では、n⁺型埋込拡散領域3とこれに接続したn⁺型ウォール領域21の内側にはp⁺型の少数キャリア注入領域(p⁺型埋込拡散領域20とp⁺型ウォール領域22)が形成されるが、p⁺型ウォール領域22はp⁺型アイソレーション2の形成と同時に行うことができる。

次に、絶縁膜(ゲート絶縁膜)10を形成した後、n⁺型埋込拡散領域3とn⁺型ウォール領域21とで

画成された画成領域4a上の絶縁膜10の部分にポリシリコンゲート11を形成する。この後、セルフアライン手法でDMOS構造を構成するp型チャネル拡散領域7とn型ソース拡散領域8を二重拡散により形成すると共に、p型チャネルコンタクト領域9を形成する。しかる後、ソースコンタクト23をn型ソース拡散領域8とp型コンタクト領域9上に跨設すると共に、ドレインコンタクト24をn型ウォール領域21とp型ウォール領域22が同電位となるようにこれらの上に跨設する。

上記実施例の作用効果を説明するに、ドレインDを高電位側、ソースSを低電位側に保ち、ゲートGに正電位を印加すると、p型チャネル拡散領域7のポリシリコンゲート11直下の部分にnチャネルが形成され、n型ソース拡散領域8からそのnチャネルを介してn型の画成領域4aに電子が流れ込む(→は電子の流れを示す)。この電子の画成領域4aへの流れ込みによって画成領域4aの電位が低下するので、p型埋込拡散領域20とn型の画成領域4aとのp-n接合が順バイアス

される。この結果、p型埋込拡散領域20から画成領域4a内へ正孔が注入され(→は正孔の流れを示す)、画成領域4aの伝導度が変調されて、その抵抗が大幅に低下する。MOSFETのオン抵抗は画成領域4aのオン抵抗が殆どを占めるので、全体としてオン抵抗が相当低下することになり、従来に比して高速な動作が実現される。画成領域4aの不純物濃度を高くせずに高速化を図ることができるので、十分な耐圧を維持でき、またゲート面積、ソース長を大とせずに済むから、チップサイズの縮小化が可能である。

第2図は、本発明の第2実施例に係る擬型DMOSFETを示す擬断面図である。なお、第2図では第1図に示す部分と同一部分には同一参照符号を付し、その説明を省略する。

まず、p基板1上にn型埋込拡散領域3を選択的に形成した後、この上にn型の第1エピタキシャル層30を成長させる。そして、n型埋込拡散領域3の上に選択的に少数キャリア注入領域としてのp型中間埋込拡散領域31とp型下方ア

イソレーション32を形成すると共に、この周りでn型埋込拡散領域3に接触するn型中間埋込拡散領域33を形成する。

次に、n型の第2エピタキシャル層34を形成した後、その中にn型ウォール領域35をn型中間埋込拡散領域33に接触すべく形成すると共に、p型ウォール領域36をp型中間埋込拡散領域31に接触すべく形成する。なお、p型ウォール領域36の形成と同時にp型上方アイソレーション37を形成することができる。

その後、第2エピタキシャル層34のうちp型中間埋込拡散領域31とp型ウォール領域36で画成された画成領域34aには第1実施例と同様に二重拡散構造のMOSFET(DMOS構造)が作り込まれる。なお、n型ウォール領域35に接触するコンタクト領域38とp型ウォール領域36に接触するコンタクト39とは同電位に保つように接続されている。

この実施例の特徴は、エピタキシャル層を2回に分けて成長させ、特にn型埋込拡散領域3と

p型中間埋込拡散領域31とを2段に分離させたもので、作用効果は第1実施例と同様である。

[発明の効果]

以上説明したように、本発明に係る半導体装置は、埋込領域とウォール領域とで画成された画成領域内にDMOS構造を有し、その埋込領域とウォール領域の内側に少数キャリア注入用領域を設けた点に特徴を有するものであるから、次の効果を奏する。

- ① 少数キャリア注入用領域の存在によって、画成領域に少数キャリアが注入され、伝導度変調状態とすることができるので、従来に比して大幅にオン抵抗を低下させることが可能で、これによりより一層の高速動作が実現される。
- ② 画成領域自体の不純物濃度を高めずとも、高速動作となるので、その分、耐圧を高くすることができる。
- ③ ゲート面積、ソース長を大とせずに、高速動作が実現されるので、デバイス占有面積が小で、高密度集積化やチップサイズの縮小化を図ること

とができる。

4. 図面の簡単な説明

第1図は、本発明の第1実施例に係る縦型DMOSFETを示す縦断面図である。

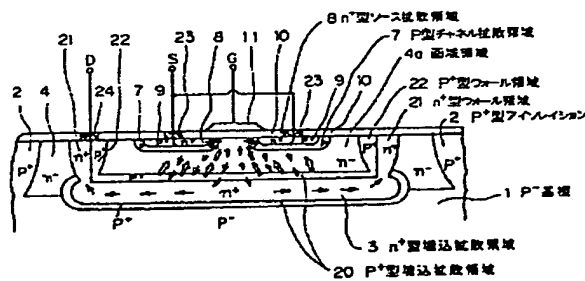
第2図は、本発明の第2実施例に係る縦型DMOSFETを示す縦断面図である。

第3図は、従来の縦型DMOSFETの一例を示す縦断面図である。

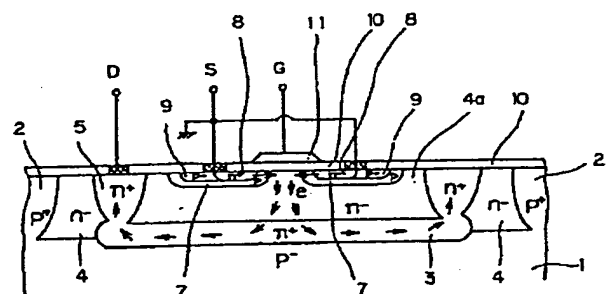
1……p型基板、2……p型アイソレーション、3……n型埋込拡散領域、4……n型エピタキシャル層、4a……面成領域、7……p型チャネル拡散領域、8……n型ソース拡散領域、9……p型チャネルコンタクト領域、10……絶縁膜、11……ポリシリコンゲート、20……p型埋込拡散領域、21……n型ウォール領域、22……p型ウォール領域、23……ソースコンタクト、24……ドレインコンタクト、30……n型の第1エピタキシャル層、31……p型中間埋込拡散領域、32……p型下方アイソレーション、33……n型中間埋込拡散領域、34……n型の第2エピタキシャル層、35……n型ウォール領域、36……

p型ウォール領域、37……p型上方アイソレーション、38……面成領域、39……コンタクト。

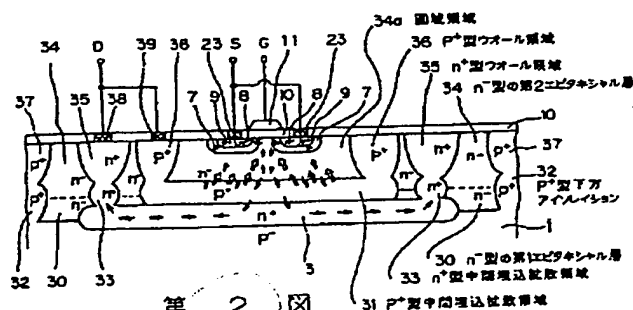
代理人弁護士 山口 直



第 1 図



第 3 図



第 2 図